1. **ГСА**

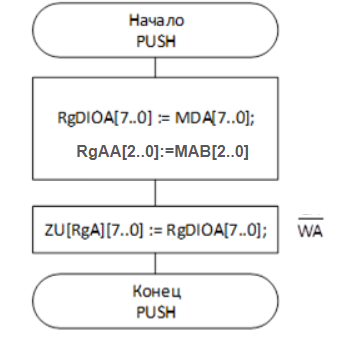


Рисунок 2 – граф-схема алгоритма записи через порт А

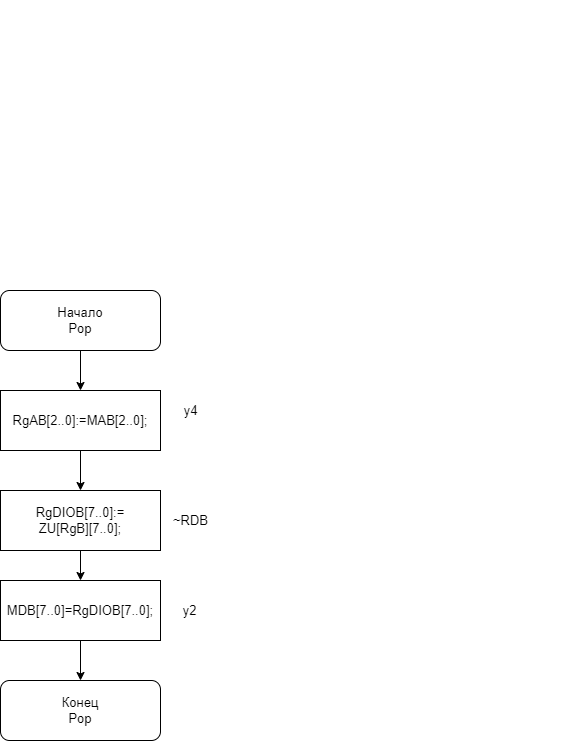


Рисунок 3 – граф-схема алгоритма чтения через порт В

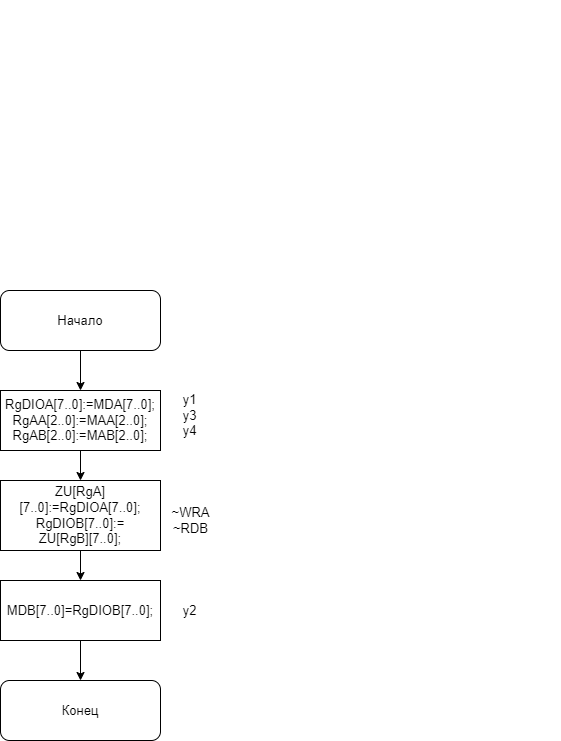


Рисунок 3 – граф-схема алгоритма параллельной записи через порт А и чтения через В

1. **Функциональная схема**

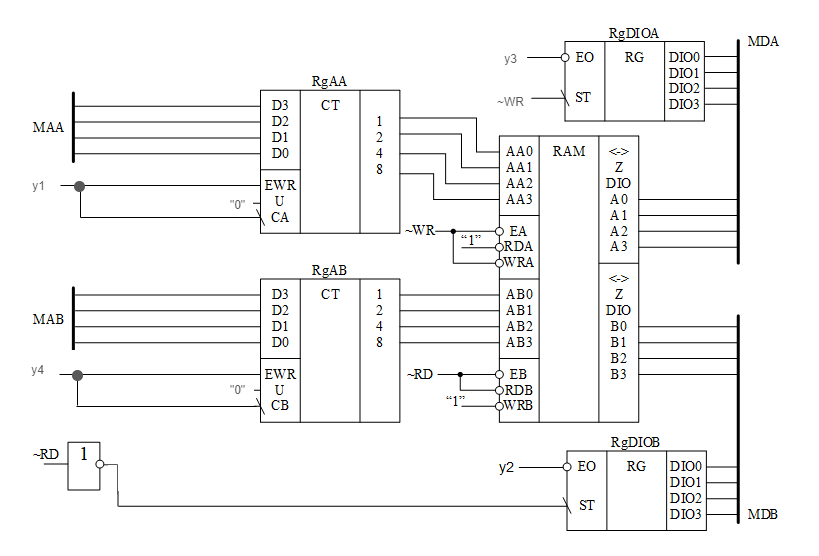


Рисунок 4 – Функциональная схема стека FIFO режим чтения по В, записи по А

Управляющие сигналы:

y1 – запись адреса в RgAA;

y4 – запись адреса в RgAB;

y3 – запись в RgDIOA;

RD – сигнал чтения из памяти;

WR – сигнал записи в память;

y2 – сигнал разрешения выходов RgDIOB.